

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-040397**

(43)Date of publication of application : **08.02.2000**

(51)Int.Cl.

G11C 29/00
G01R 31/28
G11C 11/401
H01L 27/108
H01L 21/8242

(21)Application number : **10-204564**

(71)Applicant : **HITACHI LTD
HITACHI ULSI SYSTEMS CO
LTD**

(22)Date of filing : **21.07.1998**

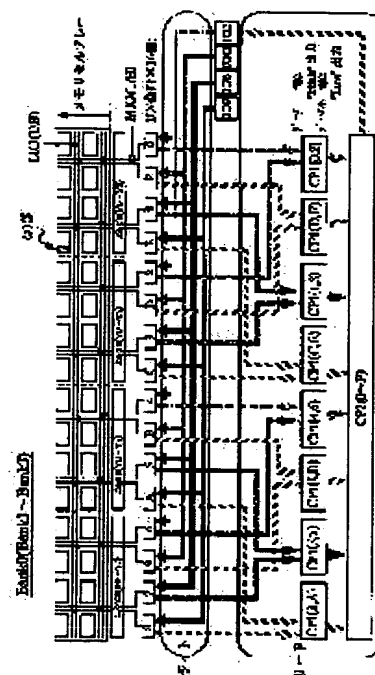
(72)Inventor : **KINO KAZUHISA
OHARA KAZUAKI
MISHIMA MICHIIRO**

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which obtaining a redundant relieving address and interference test between adjacent memory cells can be performed in one kind of an IO reduction test, and which can contribute to reduction of the chip size, shortening of the test time, and reduction of the unit cost.

SOLUTION: This device is a 64 Mb DRAM, and constituted with four banks Bank0-Bank3 of a reduction unit, at the time of reduction test, write operation is performed by developing writing data of data input/output pads IO2, IO6, IO9, IOD to each four IO in each bank Bank0-Bank3. In read operation, IO is compressed from 16IOs to 8IOs with the same bank unit in a compression circuit CP1, further compressed from 8IOs to 1IO in a compression circuit CP2, compressed data of each bank Bank0-Bank3 are outputted from each pads IO2, IO6, IO9, IOD. Thereby, allotting IO of write-in and read are different each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-40397
(P2000-40397A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 R 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	B 5 B 0 2 4
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 A 5 F 0 8 3
H 0 1 L 27/108		H 0 1 L 27/10	6 8 1 E 5 L 1 0 6
21/8242			6 9 1

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願平10-204564

(22)出願日 平成10年7月21日(1998.7.21)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 嬉野 和久

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

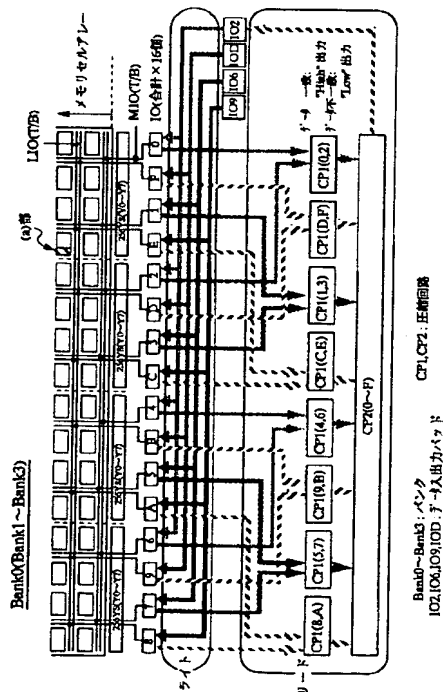
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 1種のIO縮約テストで、冗長救済アドレス取得と隣接するメモリセル間の干渉試験を可能とし、チップサイズの縮小、テスト時間および原価低減に寄与することができる半導体記憶装置を提供する。

【解決手段】 64Mb DRAMであって、縮約単位の4つのバンクBank 0～Bank 3から構成され、IO縮約テスト時に、書き込み動作は、各バンクBank 0～Bank 3において、データ入出力パッドIO 2, IO 6, IO 9, IO Dの書き込みデータを各4 IOに展開して書き込み動作を行う。読み出し動作は、圧縮回路CP 1において同一バンク単位で16 IOから8 IOに圧縮し、さらに圧縮回路CP 2において8 IOから1 IOに圧縮して、各バンクBank 0～Bank 3の圧縮データを各パッドIO 2, IO 6, IO 9, IO Dから出力する。これにより、書き込みと読み出しのIOの割り付けが異なっている。

図 3



【特許請求の範囲】

【請求項1】 複数のワード線と複数のビット線との交点に複数のメモリセルが接続され、任意のメモリセルをワード線とカラム選択線とを介して選択し、この選択されたメモリセルに対して入出力線を介してデータの書き込み動作／読み出し動作を行う半導体記憶装置であって、1本のワード線と1本のカラム選択線とで選択された複数のメモリセルに独立した任意のデータが書き込み可能なI/O縮約テスト機能を有し、このI/O縮約テスト時に、隣接したメモリセルに独立したデータを書き込み、かつこの書き込み動作において書き込むメモリセルと読み出し動作において読み出すメモリセルとが異なることを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置であって、前記読み出し動作は、同一データが書き込まれたメモリセル同士でデータの一致／不一致を判定し、この判定結果をさらに救済単位で一致／不一致を判定することを特徴とする半導体記憶装置。

【請求項3】 請求項2記載の半導体記憶装置であって、前記救済単位は、前記複数のメモリセルからなるバンク単位であることを特徴とする半導体記憶装置。

【請求項4】 複数のワード線と複数のビット線との交点に複数のメモリセルが接続され、任意のメモリセルをワード線とカラム選択線とを介して選択し、この選択されたメモリセルに対して入出力線を介してデータの書き込み動作／読み出し動作を行う半導体記憶装置であって、1本のワード線と1本のカラム選択線とで選択された複数のメモリセルに独立した任意のデータが書き込み可能なI/O縮約テスト機能を有し、このI/O縮約テスト時に、書き込み動作において救済単位の異なる複数ビットを同一I/O縮約で書き込み、読み出し動作においてこの救済単位内の複数ビットを同一I/O縮約で読み出すことを特徴とする半導体記憶装置。

【請求項5】 請求項1、2、3または4記載の半導体記憶装置であって、前記半導体記憶装置は、DRAMであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置に関し、特にDRAM系のメモリデバイスに採用することで最も効果的な複数ビットの並列テスト機能、いわゆるI/O縮約テスト機能を有する半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、本発明者が検討した技術として、半導体記憶装置は、顧客に対して保証する特性および機能を満足させる各回路を有していることは勿論であるが、その他に顧客には発表されていない不良解析およびテスト時間などに効果を発揮する各種テスト機能が数多く搭載されているのが実情である。このような状況の

中、たとえば64Mb DRAMなどでは、テスト時間を低減するためにI/O縮約テスト機能を搭載する技術などが考えられる。

【0003】 このI/O縮約テスト機能を搭載する半導体記憶装置に関しては、たとえば特許第2602204号公報に記載される技術などが挙げられる。この技術において、縮約テストの書き込み動作は、複数の入出力パッドから入力された書き込みデータを隣接したメモリセルにそれぞれ割り当て、隣接したメモリセルに独立したデータを書き込む。また、読み出し動作は、同一データが書き込まれたメモリセル同士を比較してデータの一致／不一致を判定し、この結果である縮約データを各入出力パッドに出力するようになっている。

【0004】

【発明が解決しようとする課題】 ところで、前記のようなI/O縮約テスト機能を搭載する半導体記憶装置においては、メモリセルアレーがバンク単位で存在し、そのためにX/Y冗長救済もバンク単位で独立している。このX/Y冗長救済アドレス取得のために、I/O縮約テストが使用されているが、書き込むメモリセルと読み出し後の縮約するメモリセルとが同一と考えられる。

【0005】 たとえば、X/Y冗長救済アドレスを取得する場合、救済アドレス取得のため、縮約単位はバンク単位となり、そのため書き込むデータはバンク単位で同一となってしまう。そのため、この縮約テストでは隣接したメモリセルの干渉試験などが難しいものとなっている。従って、隣接したメモリセルの干渉試験を行うためには、通常動作もしくは前記縮約テストとは異なる方式の縮約テストを準備して行う必要があるため、テスト時間の増加およびチップサイズの増加を招き、原価が高くなることが考えられる。

【0006】 そこで、本発明の目的は、メモリセルに対する書き込み動作と読み出し動作に着目し、I/O縮約テストの書き込むメモリセルと読み出し後の縮約するメモリセルを異なるメモリセルとすることでI/O縮約テストの有する機能を複数化し、1種のI/O縮約テストで、冗長救済アドレス取得と隣接するメモリセル間の干渉試験を可能とし、チップサイズの縮小、テスト時間および原価低減に寄与することができる半導体記憶装置を提供するものである。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】 すなわち、本発明による半導体記憶装置は、I/O縮約テストにおける書き込み時と読み出し時のI/O（入出力ビット）割り付けを変更し、このテスト機

能の複数化を実現する方法として、I/O縮約テスト時に、隣接したメモリセルに独立したデータを書き込み、この書き込むメモリセルと読み出し後の縮約するメモリセルを異なるメモリセルとするものである。

【0010】この構成において、読み出し動作は、同一データが書き込まれたメモリセル同士でデータの一致／不一致を判定し、この判定結果をさらに救済単位で一致／不一致を判定するようにし、この救済単位をバンク単位とするようにしたものである。

【0011】また、本発明による他の半導体記憶装置は、I/O縮約テスト時に、救済単位の異なる複数ビットを同一I/O縮約で書き込み、この救済単位内の複数ビットを同一I/O縮約で読み出すものである。

【0012】よって、前記半導体記憶装置によれば、1種のI/O縮約テストで、冗長救済アドレスを取得し、さらに隣接するメモリセル間の干渉を試験するなど、複数の機能を実現することができる。これにより、回路素子数の低減により、チップサイズを縮小することができる。また、救済アドレスの判定、選別へ適用が拡大できるので、テスト時間の低減により、原価低減を実現することができる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0014】図1は本発明の一実施の形態である半導体記憶装置を示す概略レイアウト図と部分拡大図、図2は本実施の形態の半導体記憶装置において、バンク構成を示す概略レイアウト図、図3はデータ入出力バスを示す説明図、図4はメモリセルの周辺を詳細に示す説明図、図5はチップ全体のデータ入出力バスを示す説明図、図6は本発明の前提となる半導体記憶装置のチップ全体のデータ入出力バスを示す説明図である。

【0015】まず、図1により本実施の形態の半導体記憶装置のレイアウト構成を説明する。図1(a)は半導体記憶装置の概略レイアウト図、図1(b)は部分拡大図である。

【0016】本実施の形態の半導体記憶装置は、たとえば64MbDRAMとされ、このメモリチップ10には、メインローデコーダ領域11、メインワードドライバ領域12、カラムデコーダ領域13、周辺回路／ボンディングパッド領域14、メモリセルアレー領域15、センスアンプ領域16、サブワードドライバ領域17、交差領域18などが周知の半導体製造技術によって形成されて構成されている。

【0017】この64MbDRAMにおいて、メモリセルアレー領域15の基本のメモリセルアレーは、たとえば256ワード線×256ビット線対としている。図1は、4分割にした4バンク構成例である。ワード線は長

辺方向、ビット線は短辺方向に延びている。階層ワード線構成、多分割ビット線構成を用いて、全体で8kワード線×8kビット線対で64Mビットを構成している。

【0018】このメモリチップ10において、長辺中央のメインローデコーダ領域11、メインワードドライバ領域12からサブワードドライバ領域17のドライバを制御するためのメインワード線、プリデコーダ線が左右に出力される。短辺中央は周辺回路／ボンディングパッド領域14で、それとメモリセルアレー領域15との間にカラムデコーダ領域13が置かれる。カラムデコーダの出力であるカラム選択線はメモリセルアレー領域15の上を通り抜けて多数のセンスアンプを制御する。

【0019】図1(b)の部分拡大図で示すように、メモリセルアレー領域15の左右両端には、サブワードドライバ領域17が配置され、上下両側にはセンスアンプ領域16が配置される。従って、メモリセルアレー領域15はセンスアンプ領域16とサブワードドライバ領域17に囲まれる。また、サブワードドライバ領域17とセンスアンプ領域16が交差する領域は交差領域18と呼び、センスアンプドライバやI/Oスイッチ回路が設けられる。

【0020】次に、図2～図5を用いて、本発明のバンク構成(図2)、データ入出力バス(図3)、メモリセルの周辺(図4：図3の(a)部)、チップ全体のデータ入出力バス(図5)について順に説明する。なお、チップ全体のデータ入出力バスに関しては、図5に対応する技術を図6に示している。

【0021】図2は、図1に示すメモリチップ10を概略的に示したもので、メモリセルアレー領域15、センスアンプ領域16、サブワードドライバ領域17などからなる4つのバンクBank 0～Bank 3が配置され、アドレス信号ADDのパッドがバンクBank 0、Bank 1側、データ信号DQのパッドがバンクBank 2、Bank 3側に設けられている。

【0022】このDRAMは、たとえばバンクBank 0～Bank 3のそれぞれが縮約単位であり、各バンクBank 0～Bank 3は16I/O(入出力ビット)／バンクを有している。4バンク構成であるため、I/O縮約テストは全バンクのマトを同時に動作させ、64I/O縮約テストが可能な構成となっている。64I/O縮約テスト時の同時動作マトは図2のとおりである。また、このI/O縮約テスト時のデータ入出力パッドは後述するように4I/Oのみの構成である。

【0023】たとえば、本発明に対応する前記特許第2602204号公報の技術から考えられる方式においては、I/O縮約テスト時の書き込み動作は1I/O／バンク割り付けであり、縮約ビットに同一データが書き込まれる。また、このために読み出し時には同一データ同士を縮約する構成になっている。すなわち、書き込むメモリセルと読み出し時に縮約されるメモリセルが同一であ

り、縮約ビットに同一データの書き込み／読み出しを行っているため、救済アドレス判定は可能であるが、隣接ビット間の干渉については確認不可能と考えられる。

【0024】これに対して、本発明の縮約テスト方式においては、IO縮約テスト時の書き込み動作を4 IO／バンク割り付けとし、隣接する4つのメモリセルに独立したデータを書き込むことが可能な構成となっている。すなわち、救済単位の異なる複数ビットを同一IO縮約で書き込む。また、読み出し動作は、救済単位内の複数ビットを同一IO縮約して読み出す構成にしている。このように、書き込むメモリセルと読み出し時に縮約されるメモリセルが異なるため、1種のIO縮約テストで、比較方式と同様に救済アドレス判定が可能であり、さらに隣接ビット間の干渉の確認も可能となる。以下、データ入出力パスについて詳細に説明する。

【0025】図3は、たとえばバンクBank 0における、書き込み動作および読み出し動作のデータ入出力パスを示している。それぞれ、カラム選択線により制御される256 YS (Y0～Y7) のカラムスイッチに対して、メイン入出力線MIO (T/B) を介して4 IOが割り付けられ、バンクBank 0ではIO0～IOFの16 IO構成となっている。この16 IOに対して、IO縮約テスト時のデータ入出力パッドIO2, IO6, IO9, IODの4 IOのみが割り付けられている。なお、バンクBank 1～Bank 3についても同様である。

【0026】図3において、ライト時は、データ入出力パッドIO2の書き込みデータをIO0, IO2, IO4, IO6の4 IOに展開し、書き込み動作を行う。同様に、データ入出力パッドIO6の書き込みデータをIO1, IO3, IO5, IO7に、データ入出力パッドIO9の書き込みデータをIO8, IOA, IOC, IOEに、データ入出力パッドIODの書き込みデータをIO9, IOB, IOD, IOFにそれぞれデータ展開(4 IO／バンク割り付け)して、書き込み動作を行う。この書き込み動作は全バンクBank 0～Bank 3に共通動作となる。

【0027】この際に、4 IO／バンク割り付けのため、隣接した4つのメモリセルに独立したデータを書き込むことができる。すなわち、図4に示すように、カラム選択線YS0によるカラムスイッチYSの制御により、サブワード線SWLとビット線BL (T/B) との交点に配置されるメモリセルMC0～MC3に対して、たとえばメモリセルMC0に“0”、これに隣接するメモリセルMC1に“1”、さらにこれに隣接するメモリセルMC2に“0”、さらにこれに隣接するメモリセルMC3に“1”というように、隣接するメモリセルに異なるデータを書き込むことができる。

【0028】また、図4は、4ビットのデータが入出力可能な1 YS-4 IO構成を示しており、1本のカラム

選択線YS0が選択されると、メモリセルMC0～MC3のデータがそれぞれセンサアンプSA、ローカル入出力線LIO (T/B) 0, LIO (T/B) 1, LIO (T/B) E, LIO (T/B) F、メイン入出力線MIO (T/B) を介して出力される。

【0029】一方、図3において、リード時の読み出し動作は、まず第1の圧縮回路CP1において同一バンク単位で、たとえばBank 0のIO0とIO2, IO4とIO6, IO1とIO3, IO5とIO7, IO8とIOA, IOCとIOE, IO9とIOB, IODとIOFというように2 IO単位でデータ比較を行い、データの一致時には“High”出力、不一致時には“Low”出力の判定を行う。すなわち、各バンクBank 0～Bank 3において16 IOから8 IOに圧縮することができる。

【0030】さらに、第2の圧縮回路CP2において、同一バンク単位で、たとえばBank 0のIO0, 2とIO4, 6とIO1, 3とIO5, 7とIO8, AとIOC, EとIO9, BとIOD, Fとの8 IOから1 IOへのデータ圧縮を行う。他のバンクBank 1～Bank 3においても同様である。そして、各バンクBank 0～Bank 3の圧縮データを各データ入出力パッドに出力する。この各バンクBank 0～Bank 3の圧縮データの出力は以下のとおりである。すなわち、バンクBank 0の圧縮データはデータ入出力パッドIO2から、バンクBank 1の圧縮データはデータ入出力パッドIO6から、バンクBank 2の圧縮データはデータ入出力パッドIO9から、バンクBank 3の圧縮データはデータ入出力パッドIODからそれぞれ出力することができる。

【0031】以上のことから、IO縮約テスト時のチップ全体のデータ入出力パスは図5のようになり、各バンクBank 0～Bank 3において、書き込み動作と読み出し動作のデータ入出力パッドIO2, IO6, IO9, IODに対するIOの割り付けが異なっていることが分かる。これに対して、前記特許第2602204号公報の技術から考えられる方式においては、図6のようなデータ入出力パスとなり、書き込み動作と読み出し動作のデータ入出力パッドIO2, IO6, IO9, IODに対して、同じIOの割り付けとなっている。

【0032】従って、本実施の形態の半導体記憶装置によれば、4つのバンクBank 0～Bank 3構成において、バンク単位の異なる複数ビットを同一IO縮約で書き込み、バンク単位内の複数ビットを同一IO縮約して読み出すことにより、書き込むメモリセルと読み出し時に縮約されるメモリセルとが異なるため、1種のIO縮約テストで、救済アドレスを判定、選別することができ、さらに隣接ビット間の干渉も確認することができる。

【0033】以上、本発明者によってなされた発明をそ

の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0034】たとえば、前記実施の形態においては、4バンク構成からなり、各バンクが16 I/Oを有するDRAMについて説明したが、これに限定されるものではなく、2バンク構成、8バンク構成などの他のバンク構成や、4 I/O、8 I/Oなどの他のI/O構成についても適用可能であり、さらにこれらを任意に組み合わせた場合にも適用することができる。

【0035】また、読み出し動作時に、16 I/Oから8 I/Oへ圧縮し、さらに8 I/Oから1 I/Oへ圧縮する場合について説明したが、16 I/Oから1 I/Oへ圧縮することも可能である。この圧縮については、1段階で1 I/Oへ圧縮することが望ましいが、たとえば配線チャネル幅、チップサイズなどを考慮して最適なI/O縮約構成に決定する。また、この圧縮は、各バンクのI/O構成に関連して異なることはいうまでもない。

【0036】さらに、64 Mb DRAMに適用した場合について説明したが、128 Mb、256 Mbなどの大容量のDRAM、さらにシンクロナスDRAMなどについても広く適用可能であり、このように大容量の構成とすることにより本発明の効果はますます大きくなる。

【0037】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0038】(1). I/O縮約テスト時に、書き込むメモリセルと読み出し後の縮約するメモリセルを異なるメモリセルとすることで、1種のI/O縮約テストで、冗長救済アドレス取得と隣接するメモリセル間の干渉試験など、複数の機能を実現することができるので、回路素子数の低減によってチップサイズを縮小することが可能となる。

【0039】(2). 前記(1)において、1種のI/O縮約テストで冗長救済アドレスを取得することで、救済アドレスの判定、選別へ適用が拡大できるので、テスト時間の低減によって原価低減を実現することが可能となる。

【0040】(3). I/O縮約テスト時に、救済単位の異なる複数ビットを同一I/O縮約で書き込み、この救済単位内の複数ビットを同一I/O縮約で読み出すことで、前記

(1) および(2)と同様に1種のI/O縮約テストで複数の機能を実現することができるので、チップサイズの縮小と原価低減を実現することが可能となる。

【0041】(4). 前記(1)～(3)により、1種のI/O縮約テストの有する機能を複数化し、チップサイズの縮小、テスト時間および原価低減に寄与することができるI/O縮約テスト機能を提供することが可能となる。

【図面の簡単な説明】

【図1】(a), (b)は本発明の一実施の形態である半導体記憶装置を示す概略レイアウト図と部分拡大図である。

【図2】本発明の一実施の形態の半導体記憶装置において、バンク構成を示す概略レイアウト図である。

【図3】本発明の一実施の形態の半導体記憶装置において、データ入出力バスを示す説明図である。

【図4】本発明の一実施の形態の半導体記憶装置において、メモリセルの周辺を詳細に示す説明図である。

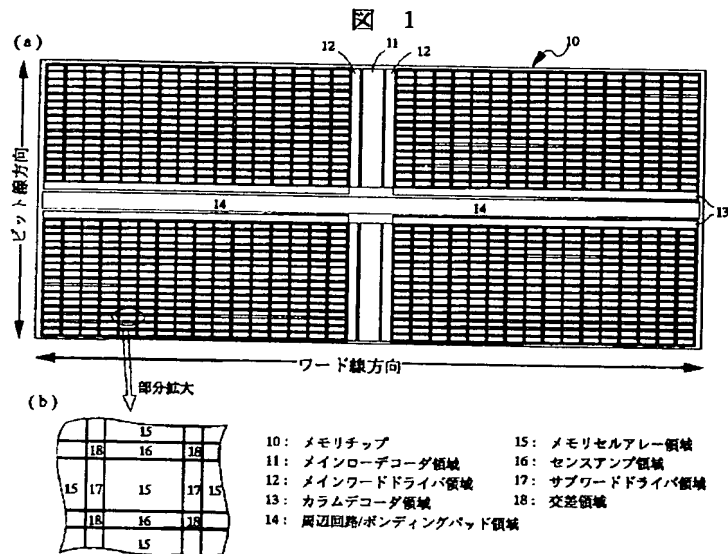
【図5】本発明の一実施の形態の半導体記憶装置において、チップ全体のデータ入出力バスを示す説明図である。

【図6】本発明の前提となる半導体記憶装置において、チップ全体のデータ入出力バスを示す説明図である。

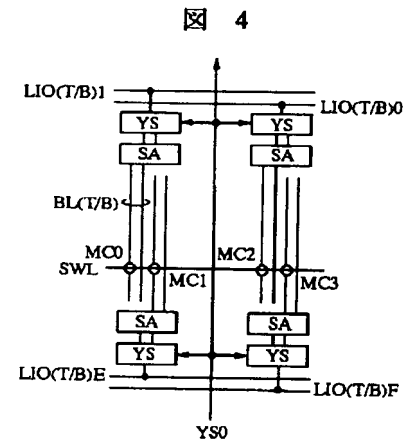
【符号の説明】

- 10 メモリチップ
- 11 メインローデコーダ領域
- 12 メインワードドライバ領域
- 13 カラムデコーダ領域
- 14 周辺回路/ボンディングパッド領域
- 15 メモリセルアレー領域
- 16 センサアンプ領域
- 17 サブワードドライバ領域
- 18 交差領域
- Bank 0～Bank 3 バンク
- CP1, CP2 圧縮回路
- IO2, IO6, IO9, IOD データ入出力パッド
- MC0～MC3 メモリセル
- SA センサアンプ
- YS カラムスイッチ
- BL ビット線
- SWL サブワード線
- YS0 カラム選択線
- MIO メイン入出力線
- LIO ローカル入出力線

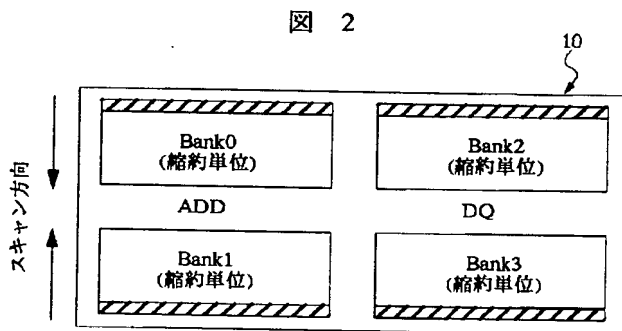
【図 1】




【図4】



【図2】



 : 64IO縮約テスト時
同時動作マツト

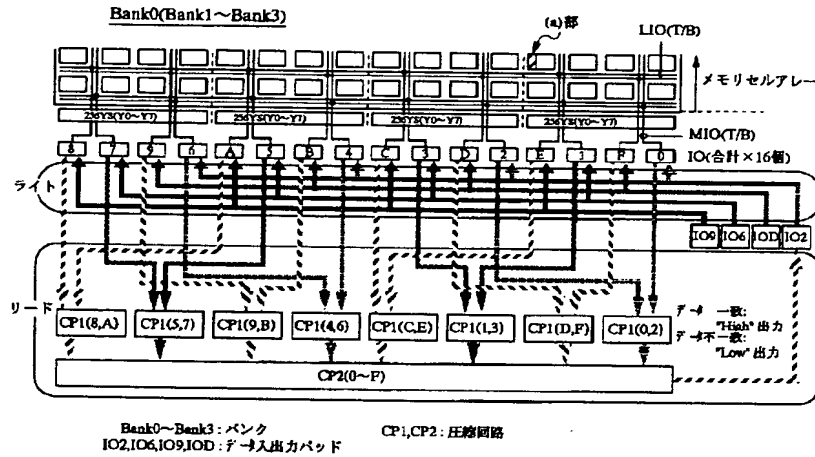
【図5】



		Bank0				Bank1	Bank2	Bank3
ライト	データ入力	IO2	IO6	IO9	IOD	向 左	向 左	向 左
	展開IO	IO(0,2,4,6)	IO(1,3,5,7)	IO(8,A,C,E)	IO(9,B,D,F)			
リード	暗約IO	IO(0~F)				IO6	IO9	IOD
	出力IO	IO2						

【図3】

図 3



【図6】

図 6

		Bank0	Bank1	Bank2	Bank3
ライト	データ入力	IO2	IO6	IO9	IOD
	展開IO	IO(0~F)	同左	同左	同左
リード	論理的IO	IO(0~F)			
	出力IO	IO2	IO6	IO9	IOD

フロントページの続き

(72)発明者 大原 一晃

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 三島 通宏

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

Fターム(参考) 2G032 AA07 AB01 AC02 AD05 AE10
AE12 AH07 AK11 AK14 AK15
5B024 AA07 AA15 BA09 BA15 BA29
CA07 CA15 EA02 EA03 EA06
5F083 AD00 GA01 LA07 LA30 ZA10
ZA20
5L106 AA01 BB01 CC14 CC17 DD02
DD06 DD12 EE07